

First Hit

L16: Entry 19 of 42

File: JPAB

Feb 4, 1991

PUB-NO: JP403026136A
DOCUMENT-IDENTIFIER: JP 03026136 A
TITLE: RECEPTION FIFO CONTROL CIRCUIT

PUBN-DATE: February 4, 1991

INVENTOR-INFORMATION:

NAME

COUNTRY

KOZU, YUHEI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP01161430

APPL-DATE: June 23, 1989

US-CL-CURRENT: 375/316

INT-CL (IPC): H04L 29/02; H04L 13/18; H04L 29/06

ABSTRACT:

PURPOSE: To receive communication data with a hardware constitution in a small scale by managing received data and status data as respectively independent reception information at the time of converting a serial code string sent in a prescribed data communication protocol to parallel data.

CONSTITUTION: A code string X sent from a signal line 7 in an HDLC frame format is assembled to parallel received data Y by a serial/parallel converting circuit 2, and status data Z edited based on the reception status information sent from a signal line 11 at a status preparing circuit 4 is written through a signal line 13 to a status FIFO 5. Since all received data in one frame are written to a data FIFO 3 only one writing to the status FIFO 5, the status FIFO 5 can be composed of the hardware to be small in comparison with the data FIFO 3.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-26136

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月4日

H 04 L 29/02
13/18
29/06

8948-5K

8948-5K H 04 L 13/00

8948-5K

3 0 1 Z

3 0 5 Z

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 受信FIFO制御回路

⑯ 特 願 平1-161430

⑰ 出 願 平1(1989)6月23日

⑱ 発 明 者 神 津 雄 平 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

受信FIFO制御回路

特許請求の範囲

所定のデータ通信プロトコルに基づきまとまったデータ・ブロック毎に送信されるシリアルな符号列を受信するレジスタと、受信した前記符号列をnビット単位(nは正の整数)の平行データに変換するシリアル・平行変換回路と、前記変換回路に接続され平行変換データを格納するデータFIFOと、前記レジスタからのフレーム同期検出信号に基づき受信ステータス書込制御信号を発生するステータス書込制御回路と、前記変換回路からの受信ステータス情報と前記レジスタからのフレーム同期検出信号および前記ステータス書込制御回路からの受信ステータス書込制御信号に基づき受信ステータスデータを作成する受信ステータス生成回路と、前記受信ス

テータスデータを格納するステータスFIFOとを有し、前記符号列の最後に位置する前記平行変換データを前記データFIFOに書込むのに合わせて前記受信ステータスデータを前記ステータスFIFOに書込むことを特徴とする受信FIFO制御回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は受信FIFO制御回路に関し、特にステータス情報を必要とするシリアルデータの受信FIFO制御回路に関する。

〔従来の技術〕

従来、複数のデータ通信プロトコルを制御するシリアル受信回路は、受信部のハードウェア構成を小さくするため、各通信プロトコルが同一の受信回路を共用している。このため、受信データと受信データに関するステータス・データとを一对一に対応させて扱う手法が確立されている。このようなシリアル受信回路において、任意長のデー

タ列を一つのブロックとして扱うデータ通信プロトコル、例えばHDL C (High Level Data Link Control Procedure) フレーム・フォーマットで送られてくるシリアル・データは以下のような手順で受信され、シリアル・パラレル変換される。

第3図はかかる従来の一例を示す受信FIFO制御回路のブロック図である。

第3図に示すように、まずHDL Cフレーム・フォーマットのシリアルな符号列Xが信号線7により受信回路に送信される。受信回路はホスト・システムにより受信可能状態に設定されると、同期検出モードになるので、シフト・レジスタ1で受信される符号列Xの中のフラグの検出が開始される。この状態は最初のフラグが検出されるまで継続される。フラグが検出されると、信号線8により符号列Xに関するフレーム同期の確立を受信部に通知し、これにより受信部はデータ受信状態に移移し、受信データのアセンブルを開始する。データ受信状態では、シフト・レジスタ1から信

号線9を介して出力された受信データを、あらかじめ定められたビット長nごとに、シリアル・パラレル変換回路2でnビットのパラレルな受信データYにアセンブルする。受信データYはアセンブルされる毎に、信号線10を通してデータFIFO3に転送される。これと同時に受信データYに対する各種受信ステータス情報も信号線11を介して受信ステータス生成回路4に送られ、情報を編集した後、信号線13によりステータスFIFO5Aに書込まれる。通常、データFIFO3は数段のFIFO構成をとっており、各段のFIFOは受信データYを格納するためのnビット幅のレジスタと、受信データYの存在をしめす1ビットのユース・ビット・レジスタと、受信フレームの最後のデータであることを表す1ビットのエンド・ビット・レジスタとから成っている。また、ステータスFIFO5AもデータFIFO3と同じ段数のFIFO構成をとり、各段にはデータFIFO各段に対応した受信ステータス情報が格納されている。受信回路はデータ

FIFO3の先頭段のユース・ビット・レジスタによって、ホスト・システムに受信データYの引取りを要求する。ホスト・システムはエンド・ビット・レジスタがアクティブである受信データを読み出すまで順次データFIFO3から受信データを読み出すと共にステータスFIFO5Aから受信データの受信ステータス情報を読み続ける。

一方、受信回路はデータ受信中でもフラグ検出機能は有効であり、一度データ受信状態に移ってから再びフラグを検出すると、1つのフレームの終了とみなし、受信終了状態に移る。ホスト・システムはフレームの最後のデータに対し、ステータスFIFO5Aから受信ステータスデータを取り出した後、受信FIFO3からデータを読み出し、受信フレームに誤りのないことを確認する。

上述した手順により、HDL Cフレーム・フォーマットで送られてくる符号列Xは順次パラレル・データYに変換され受信される。

〔発明が解決しようとする課題〕

上述した従来のデータFIFO制御回路は、シリアル入力符号列から変換したパラレル・受信データを格納するデータFIFOと同じ段数のステータスFIFOが必要になる。このため、高速データ通信等の大きなデータFIFOを要するシステムにおいては、ステータスFIFOも比例して増大するので、大規模なハードウェア構成を必要とするという欠点がある。

本発明の目的は、かかるシステムのハードウェアを経済化するデータFIFO制御回路を提供することにある。

〔課題を解決するための手段〕

本発明の受信FIFO制御回路は、所定のデータ通信プロトコルに基づきまとまったデータ・ブロック毎に送信されるシリアルな符号列を受信するレジスタと、受信した前記符号列をnビット単位(nは正の整数)のパラレル・データに変換するシリアル・パラレル変換回路と、前記変換回路に接続されパラレル変換データを格納するデータ

F I F Oと、前記レジスタからのフレーム同期検出信号に基づき受信ステータス書込制御信号を発生するステータス書込制御回路と、前記変換回路からの受信ステータス情報と前記レジスタからのフレーム同期検出信号および前記ステータス書込制御回路からの受信ステータス書込制御信号に基づき受信ステータスデータを作成する受信ステータス生成回路と、前記受信ステータスデータを格納するステータスF I F Oとを有し、前記符号列の最後に位置する前記パラレル変換データを前記データF I F Oに書込むのに合わせて前記受信ステータスデータを前記ステータスF I F Oに書込むことを特徴としている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を示す受信F I F O制御回路のブロック図である。

第1図に示すように、本実施例はH D L Cフレーム・フォーマットで信号線7より送られてく

る符号列Xの中からフラグを検出しH D L Cフレームとのフレーム同期を確立する8ビット長のシフト・レジスタ1を有し、フラグが検出されると信号線8を介して符号列Xに関するフレーム同期の確立を受信部に通知し、これにより受信部はデータ受信状態に移移して受信データのアセンブルを開始する。データ受信状態では、シリアル・パラレル変換回路2においてシフト・レジスタ1から信号線9を介して出力された受信符号列Xをあらかじめ定められたビット長nごとにパラレル受信データYにアセンブルする。受信データYはアセンブルされる毎に信号線10を通してデータF I F O3に転送される。通常、データF I F O3は数段のF I F O構成をとっており、データF I F O3の各段は受信データYを格納するためのnビット幅のレジスタと、受信データYの存在をしめす1ビットのユース・ビット・レジスタと、受信フレームの最後のデータであることを表わす1ビットのエンド・ビット・レジスタとから成っている。受信回路はデータF I F O3の先頭

段のユース・ビット・レジスタによって、ホスト・システムに受信データYの引き取りを要求する。受信回路はデータ受信中でもシフト・レジスタ1によるフラグ検出機能は有効であり、一度データ受信状態に移ってから再びフラグを検出すると、1つのフレームの終了とみなして受信を終了するが、再び次のフレーム受信のためにフレーム同期検出状態に移る。ステータス書込制御回路6はフレーム同期が確立している間、すなわちフレームの開始フラグと終結フラグの間はステータス書込制御信号12をインアクティブとし、受信データYだけを信号線10を通してデータF I F O3に書き込む。また、1つの受信フレームを受信し終わると、つまり終結フラグを検出すると、ステータス書込制御信号12はアクティブとなり、ステータス生成回路4において信号線11より送られた受信ステータス情報に基づき編集されたステータス・データZが信号線13を通してステータスF I F O5に書込まれる。この一連の動作により、受信回路はH D L Cフォーマットの受信フ

レームを、一回の受信ステータスの書き込みで、データF I F O3にバッファリングすることが可能である。通常、H D L Cプロトコルでは1フレームの最短長はmバイト($m \geq 4$)である。従って、たとえ最短長フレームを連続して受信したとしても、mバイトに一度しかステータスF I F O5に受信ステータスが書込まれないので、ステータスF I F O5はデータF I F O3の1/m倍の段数のバッファがあれば十分ということになる。

一方、ホスト・システムはエンド・ビット・レジスタがアクティブである受信データ、すなわち受信フレームの最後のデータを読み出すまで、順次データF I F O3から受信データを読み出し続ける。ホスト・システムは1つの受信フレームの最後のデータをエンド・ビット・レジスタにより検知し、そのデータをデータF I F O3から取り出した後、さらに一度ステータスF I F O5を読み出す。このステータスから受信フレームに誤りのないことを確認する。ここで、もしデータ

F I F O 3に更にデータが格納されていれば、それは次のフレームの受信データであり、ホスト・システムは再びデータF I F O 3からの受信データの読出しを開始する。

上述した手順により、H D L Cフレーム・フォーマットで送られてくる符号列Xはパラレル・データYに変換されるとともに、ステータスF I F O 5への一回の書き込みだけで、1フレームすべての受信データをデータF I F O 3に書き込むため、ステータスF I F O 5はデータF I F O 3に比べ小さなハードウェアでの構成が可能である。

第2図は本発明の第二の実施例を示す受信F I F O制御回路のブロック図である。

第2図に示すように、本実施例は前述した第一の実施例と比較して、受信ステータス生成回路4にエラー発生情報を格納するステータス・ユース・ビットF I F O 14を付加した構成例であり、信号線7を通して送られてくる受信符号列Xをパラレル・データYに変換する受信回路は、第1図

のシリアル・パラレル変換回路2と同じ構成をとる。

まず、8ビット長のシフト・レジスタ1は、H D L Cフレーム・フォーマットで信号線7より送られてくる符号列Xの中からフラグを検出し、H D L Cフレームとのフレーム同期を確立する。フラグが検出されると、信号線8を介して符号列Xに関するフレーム同期の確立を受信部に通知し、これにより受信部はデータ受信状態に移り、受信データのアセンブルを開始する。データ受信状態では、シフト・レジスタ1から信号線9を介して出力された受信符号列Xは、シリアル・パラレル変換回路2によりあらかじめ定められたnビット長のパラレル受信データYにアセンブルされる。受信データYはアセンブルされる毎に信号線10を通してデータF I F O 3に転送される。通常、データF I F O 3は数段のF I F O構成をとっており、このデータF I F O 3の各段は受信データYを格納するためのnビット幅のレジスタと、受信データYの存在をしめす1ビットのユー

ス・ビット・レジスタと、受信フレームの最後のデータであることを表わす1ビットのエンド・ビット・レジスタとから成っている。本実施例では、前述したように、受信ステータス情報の有無を示す1ビット幅のステータス・ユース・ビットF I F O 14もデータF I F O 3の各段に対応している。受信回路はデータF I F O 3の先頭段のユース・ビット・レジスタによって、ホスト・システムに受信データYの引き取りを要求する。受信回路はデータ受信中でもシフト・レジスタ1によるフラグ検出機能は有効であり、一度データ受信状態に移ってから再びフラグを検出すると、1つのフレームの終了とみなして受信を終了するが、再び次のフレーム受信のためにフレーム同期検出状態に移る。ステータス書込制御回路6はフレーム同期が確立している間、すなわちフレームの開始フラグと終結フラグの間はステータス書込制御信号12をインアクティブとし、受信データYだけを信号線10を通してデータF I F O 3に書き込む。また、1つの受信フレームを受信し終わ

ると、つまり終結フラグを検出すると、ステータス書込制御信号12はアクティブとなる。この時、ステータス生成回路4においては、信号線11から送られた受信ステータス情報により編集されたステータス・データZにエラーが無ければ、ステータスF I F O 5に受信ステータス・データZは書き込まれない。もし、エラー情報があれば、受信ステータス・データZは信号線13を通してステータスF I F O 5に書き込まれるとともに、ステータス・ユース・ビットF I F O 14も信号線15によりセットされる。この一連の動作により、受信回路はH D L Cフォーマットの受信フレームを、0回または1回の受信ステータスの書き込みだけで、データF I F O 3にバッファリングすることが可能である。通常、H D L Cプロトコルでは1フレームの最長はmバイト($m \geq 4$)である。従って、たとえエラー情報を含む最長フレームを連続して受信したとしても、mバイトに一度しかステータスF I F O 5に受信ステータスを書き込まないので、ステータスF I F O 5

はデータFIFO3の1/m倍の段数のバッファがあれば十分ということになる。

一方、ホスト・システムはエンド・ビット・レジスタがアクティブである受信データ、すなわち受信フレームの最後のデータを読み出すまで、順次データFIFO3から受信データを読み出し続ける。このホスト・システムは1つの受信フレームの最後のデータをエンド・ビット・レジスタにより検知し、さらにステータス・ユース・ビットFIFO14によりその受信フレーム中のエラーの有無を確認する。最終データをデータFIFO3から取り出した後、エラーがあればさらに一度ステータスFIFO5を読み出し、このステータスから受信フレームの誤りを確認する。尚、エラーが無ければ、ステータスFIFO5には受信ステータス・データZが格納されていないので読み出す必要は無い。もし、データFIFO3に更にデータが格納されていれば、それは次のフレームの受信データであり、ホスト・システムは再びデータFIFO3からの受信データの読み出しを

開始する。

上述した手順により、HDL Cフレーム・フォーマットで送られてくる符号列Xはパラレル・データYに変換されるとともに、0回または1回のステータスFIFO5への書き込みだけで、1フレームすべての受信データをデータFIFO3に書き込むため、ステータスFIFO5はデータFIFO3に比べ小さなハードウェアでの構成が可能である。

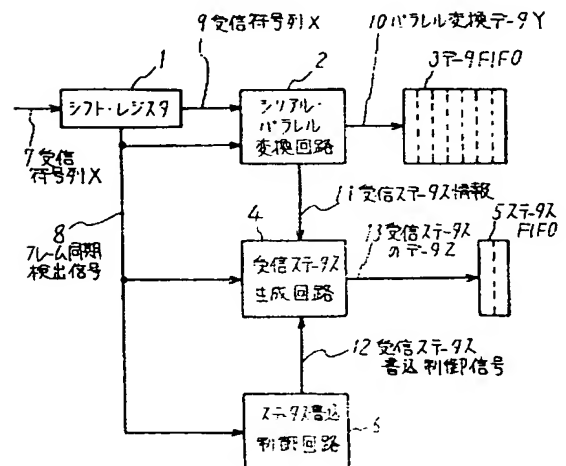
〔発明の効果〕

以上説明したように、本発明の受信FIFO制御回路は、HDL Cフレーム・フォーマットのように所定のデータ通信プロトコルで送られてくるシリアルな符号列をパラレル・データに変換する際、受信データとステータス・データとをそれぞれ独立した受信情報として取り扱うことにより、ステータスFIFOを受信データの格納のためのデータFIFOと比較して小さくできるので、小規模なハードウェア構成で通信データの受信が可能になるという効果がある。

図面の簡単な説明

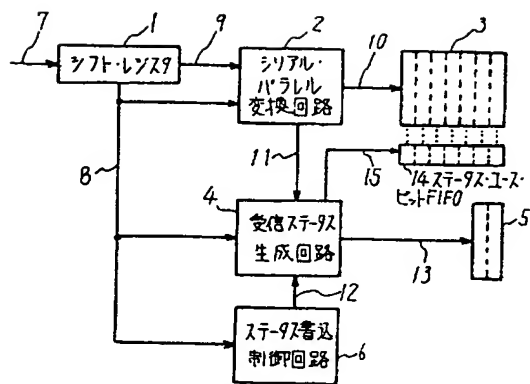
第1図は本発明の第一の実施例を示す受信FIFO制御回路のブロック図、第2図は本発明の第二の実施例を示す受信FIFO制御回路のブロック図、第3図は従来の一例を示す受信FIFO制御回路のブロック図である。

1…シフト・レジスタ、2…シリアル・パラレル変換回路、3…データFIFO、4…受信ステータス生成回路、5…ステータスFIFO、6…ステータス書き込み制御回路、7、9…受信符号列X、8…フレーム同期検出信号、10…パラレル変換データY、11…受信ステータス情報、12…受信ステータス書き込み制御信号、13…受信ステータス・データZ、14…ステータス・ユース・ビットFIFO、15…エラー発生情報信号。

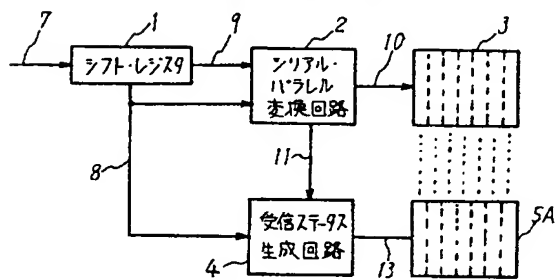


代理人 弁理士 内 原 晋

第 1 図



第 2 図



第 3 図